



(19)

(11) Publication number:

Generated Document.

**PATENT ABSTRACTS OF JAPAN**(21) Application number: **05049172**(51) Intl. Cl.: **H01L 21/60**(22) Application date: **10.03.93**

(30) Priority:

(43) Date of application  
publication: **22.09.94**(84) Designated contracting  
states:(71) Applicant: **NEC CORP**(72) Inventor: **TSUKAMOTO KE**

(74) Representative:

**(54) INTEGRATED CIRCUIT**

(57) Abstract:

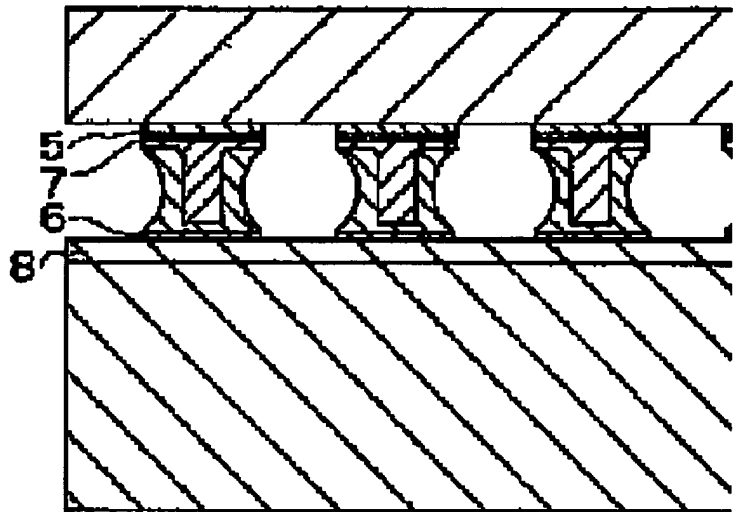
**PURPOSE:** To provide a semiconductor device in which the stress on connections is reduced and thus the life is prolonged by using tiny solder pins enclosing a core for the electrical and mechanical connections between a semiconductor substrate and a package substrate.

**CONSTITUTION:** A semiconductor chip 1 has metallic terminals 5 serving as the interface to metallic cores. A package substrate 2 has metallic terminals 6 serving as the interface to tiny solder pins 3. High-melting solder 7 between the cores 4 and the terminals 5 is melted by heat to make both electrical and mechanical connections. The solder pins 3, each enclosing a core 4, are heated between the terminals 4 and 5, and they are cooled to room temperature after the cores 4 and the terminals 6 has been alloyed at the junction between them. As opposed to the conventional connection of

BEST AVAILABLE COPY

solder pins alone, the stress on the connections is reduced, resulting in the prolongation of device life.

COPYRIGHT: (C)1994,JPO&Japio



(19)日本国特許庁 (J P)

(12) 公 開 特 許 公 報 (A)

(11)特許出願公開番号

特開平6-268015

(43)公開日 平成 6 年(1994) 9 月22日

(51)Int.Cl.<sup>5</sup>  
H 0 1 L 21/60

識別記号 庁内整理番号  
3 1 1 S 6918-4M

F I

技術表示箇所

審査請求 有 請求項の数 3 O L (全 4 頁)

(21)出願番号 特願平5-49172

(22)出願日 平成 5 年(1993) 3 月10日

(71)出願人 000004237

日本電気株式会社

東京都港区芝五丁目 7 番 1 号

(72)発明者 塚本 研二

東京都港区芝五丁目 7 番 1 号 日本電気株  
式会社内

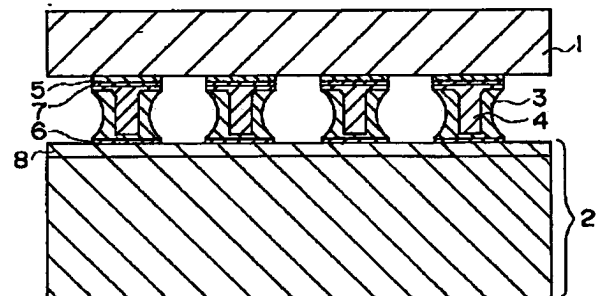
(74)代理人 弁理士 後藤 洋介 (外 2 名)

(54)【発明の名称】 集積回路装置

(57)【要約】

【目的】 長寿命を得ることのできる集積回路装置を提供すること。

【構成】 半導体基体 1 とパッケージ用基板 2 とを電氣的に接続し、機械的に結合するはんだ微小柱状体 3 の内部に金属製の芯 4 を設けた。



#### 【特許請求の範囲】

【請求項1】 集積回路の半導体基体とパッケージ用基板との間にはんだの微小柱状体を配置し、上記微小柱状体の溶着により上記半導体基体と上記パッケージ用基板との電気的接続と機械的結合を得るフリップチップ実装構造の集積回路装置において、上記微小柱状体の内部に金属製の芯を設けたことを特徴とする集積回路装置。

【請求項2】 請求項1記載の集積回路装置において、上記金属製の芯は上記半導体基体側に設けられることを特徴とする集積回路装置。

【請求項3】 請求項1あるいは2記載の集積回路装置において、上記微小柱状体の側面形状を内側にくぼんだつづみ形状としたことを特徴とする集積回路装置。

#### 【発明の詳細な説明】

##### 【0001】

【産業上の利用分野】 本発明は、半導体集積回路のパッケージ構造体に係り、特に、集積回路の半導体基体とパッケージ用基板との電気的、機械的結合にはんだの微小柱状体を用いた集積回路装置に関する。

##### 【0002】

【従来の技術】 集積回路装置を完成させるためには、集積回路が形成された半導体基体をパッケージ用基板に取り付け、かつ、これらの間での電気的な接続を行なう必要がある。

【0003】 このような取付けと接続のための技法としては、従来、種々の方法が提案され、実用に供されているが、その中ではんだの微小柱状体を用い、半導体基体とパッケージ用基板との電気的な結合と機械的な結合とを同時に得るようにした方法がある。

【0004】 この方法は、例えば図2に示す様に、半導体基体1とパッケージ用基板2の相互に接続すべき端子部5、6のうちの一方、例えば半導体基体1側の端子部5に、あらかじめ約5～40重量%の錫と95～60重量%の鉛を成分とするはんだ組成物を形成しておく。そして、半導体基体1とパッケージ用基板2とを所定の間隔を隔てて面対向させた状態で加熱し、上記はんだ組成物を溶融（リフロー）せしめ、双方の端子部間にはんだの微小柱状体3を形成せしめることにより端子部5、6間での電気的接続と、半導体基体1とパッケージ用基板2との間での機械的結合とが得られる。

【0005】 このようなはんだの微小柱状体による結合方法によれば、電気的に接続すべき端子部が複数あっても、これと無関係に、ただ一度の溶融処理で全て同時に接続処理が完了し、かつ機械的な結合も同時に得られる。このため、接続端子数の多い集積回路装置に、近年、この方法が広く採用されるようになってきた。

【0006】 これとは別に、集積回路の集積度も増加の一途をたどり、特にLSIと呼ばれるものでは端子引出数は数百本にも達するようになってきた。ところが、このような端子引出数の多い半導体基体とパッケージ用基

板との接続に、上記のはんだ微小柱状体による方法を適用すると、集積回路装置に故障が発生し易いという問題点が生じるようになってきた。この故障は、主としてはんだ微小柱状体によって電気的に接続した半導体基体とパッケージ用基板のそれぞれの端子部間での導通不良の発生という形で現われる。これは、半導体基体とパッケージ用基板との間での熱膨張係数の差に起因して、はんだ微小柱状体に与えられる繰返し応力の結果、この部分が熱疲労により破壊し、電気的な断線に至るためである。そこで、このような問題点の解決のため、従来、以下に示すようないくつかの提案がなされている。

【0007】 第1の方法は、ICチップ等の電気部品のはんだバンプ形成面もしくは基板の導体面のいずれか一方の面のはんだバンプとは干渉しない個所に、融点のはんだ端子よりも高いペーストはんだをはんだ端子の高さよりも低く、かつ、1個のはんだバンプよりも多い量を塗布しておく。そして、実装時には、はんだバンプのリフローに続いて上記ペーストはんだを融点以上に加熱して融解させた後、はんだ端子を硬化させることにより、はんだバンプを引き延ばし、つづみ状に成形させる。この第1の方法は、特公平2-206138号公報に示されている。

【0008】 第2の方法は、特公昭61-156745号公報に示されており、この方法では、ICチップ裏面に磁性体からなる部分を形成し、はんだリフローの際にICチップを磁石により上方に吸引することにより、基板に対するチップの高さを高くするようにしている。また、特公昭62-013817号公報に示された第3の方法では、IC基板に設けられた電極部以外をマスクする厚い絶縁体を形成し、電気メッキ、あるいは蒸着等により、上記電極部にはんだバンプを形成し、IC基板側の電極とセラミック基板側の電極とをはんだの融解により接続した後、上記絶縁体を除去することにより、はんだバンプを細長く形成するようにしている。

##### 【0009】

【発明が解決しようとする課題】 しかしながら、これらの従来の技術では、半導体基体内の素子の集積度の向上にともなって、チップが大型化され、熱膨張差の影響が大きく現れる場合には熱疲労によるはんだ微小柱状体での断線故障を防止するには不十分であり、充分な長寿命を得ることができないという問題点があった。

【0010】 本発明の課題は上記の問題点を解消して長寿命を得ることのできる集積回路装置を提供することにある。

##### 【0011】

【課題を解決するための手段】 本発明による集積回路装置は、半導体基体とパッケージ用基板とを電気的に接続し、機械的に結合するはんだ微小柱状体の内部に金属製の芯を設けたことを特徴とする。

##### 【0012】

【実施例】次に本発明について図面を参照して説明する。図1は本発明の一実施例を示す断面図である。図1において、1は半導体基体、2はパッケージ用基板、3ははんだの微小柱状体、4は金属製の芯、5、6はそれぞれ、半導体基体1、パッケージ用基板2の対向端面に形成された端子部である。

【0013】半導体基体1は、例えば十数mm角の大きさのシリコン基板に大型電子計算機用プロセッサを構成する固体回路を形成してなるLSIチップで、その一方の面に多数の端子部5がマトリクス状に配列してある。

【0014】パッケージ用基板2は、例えばアルミナを母材として、表面に有機絶縁層8をもつ多層配線基板であり、半導体基体1に対向する面には、端子部5に対応して相互に向い合う位置に端子部6がマトリクス状に配列してある。

【0015】端子部5は半導体基体1の面に形成した積層金属層で、金属製の芯4との結合界面として機能する。同様に、端子部6は、パッケージ用基板2の表面に形成した積層金属層で、はんだの微小柱状体3との結合界面として機能する。

【0016】金属製の芯4は端子部5との間に供給された高融点はんだ7を加熱熔融させることにより電気的な接続と機械的な結合とを行なう。

【0017】はんだの微小柱状体3は端子部5、6の間に、内部に金属製の芯4を有した状態で配置された上で加熱熔融され、金属製の芯4と、端子部6との結合界面で合金化したあとで常温に戻される。これにより、半導体基体1とパッケージ用基板2の間での電気的な接続と機械的な結合とを行なう。

【0018】ここで、半導体基体1の端子部5と端子部6と金属製の芯4は共に平面形状が円形をなし、それらが数100 $\mu$ mの均一なピッチで相互に対応する位置に配列されている。

【0019】一方、はんだの微小柱状体3は、以下の様にして形成される。まず、半導体基体1側の端子部5に接続された金属製の芯4にあらかじめめっき法、蒸着法などの周知の方法と、それに続く加熱、冷却処理により、側面投影形状が内側にくぼんだつづみ形状になる様なある一定の体積のはんだ量を供給して、はんだパンプを形成させる。その後、この半導体基体1をあらかじめ水平に保ってあるパッケージ用基板2の上に載置し、端子部5と6と金属製の芯4の互いに対応するものが正確に向い合った状態で空气中でのフラックスを用いた加熱処理、或いは水素、窒素、アルゴンなどの制御された雰

囲気中でのフラックスを用いない加熱処理によりはんだパンプの熔融と、それに続く常温への復帰処理が行なわれ、結合界面での合金化により金属製の芯4と端子部6との間にはんだの微小柱状体3を形成する。

【0020】図3は本発明の有効性を検証するために有限要素法により応力シミュレーションを行った際のシミュレーションモデルを示し、シミュレーションの結果、図4に示すような結果が得られた。シミュレーションモデルにおいては、最外周パンプのみをモデル化し、シミュレーションの条件としては、23℃で応力0、125℃に温度上昇した時の応力を求めた。図中Maxで示す箇所は応力最大の箇所を示し、図2のような従来の場合の応力を1とすると、本発明のようなはんだの微小柱状体の側面投影形状（つづみ状）で芯無しの場合、0.62となり、金属製の芯のみの場合、0.63であり、本発明では0.51という値が得られた。

【0021】

【発明の効果】以上説明したように本発明は、半導体基体とパッケージ用基板との間に設けられるはんだの微小柱状体の内部に金属製の芯を有し、内側にくぼんだつづみ状の側面投影形状になるようにしたので、単にはんだ微小柱状体のみで半導体基体とパッケージ用基板とを接続し、その側面投影形状を内側にくぼんだ側面投影形状にした場合よりも、接続部に加わる応力が低減される。また、半導体基体とパッケージ用基板との間を金属製の芯のみで接続した場合よりも応力を低減させることができる。よって、本発明によれば従来のものよりも寿命特性を十分に改善することができる。

【図面の簡単な説明】

【図1】本発明による集積回路装置の断面図である。

【図2】従来技術による集積回路装置の断面図である。

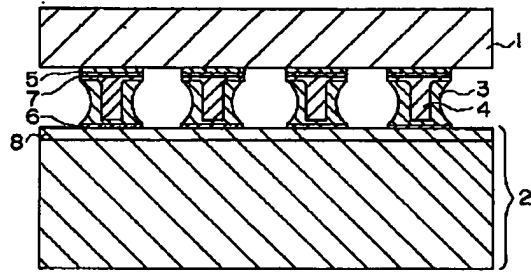
【図3】本発明の有効性を検証するためのシミュレーションモデルを示した図である。

【図4】図3に示したシミュレーションモデルによるシミュレーション結果を、従来例の場合と共に示した図である。

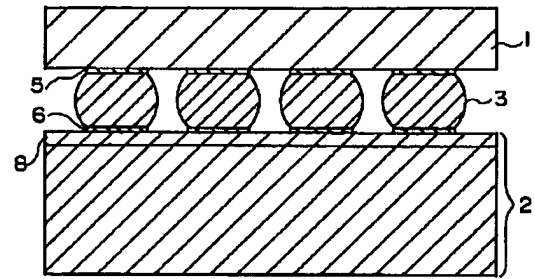
【符号の説明】

- 1 半導体基体
- 2 パッケージ用基板
- 3 はんだの微小柱状体
- 4 金属製の芯
- 5, 6 端子部
- 7 高融点はんだ
- 8 有機絶縁層

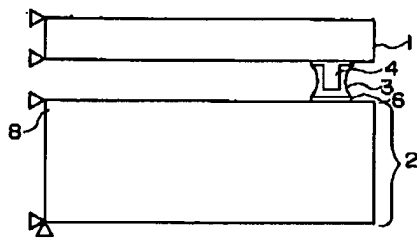
【図1】







【図2】



【図3】



【図4】

	従来技術	金属製の芯なし	金属製の芯のみ	金属製の芯あり
断面形状	Max. 	Max. 	Max. 	Max. 
応力比	1	0.62	0.63	0.51

**This Page is Inserted by IFW Indexing and Scanning  
Operations and is not part of the Official Record**

**BEST AVAILABLE IMAGES**

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☐ BLACK BORDERS
- ☐ IMAGE CUT OFF AT TOP, BOTTOM OR SIDES
- ☐ FADED TEXT OR DRAWING
- ☐ BLURRED OR ILLEGIBLE TEXT OR DRAWING
- ☐ SKEWED/SLANTED IMAGES
- ☒ COLOR OR BLACK AND WHITE PHOTOGRAPHS
- ☐ GRAY SCALE DOCUMENTS
- ☐ LINES OR MARKS ON ORIGINAL DOCUMENT
- ☐ REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY
- ☐ OTHER: \_\_\_\_\_

**IMAGES ARE BEST AVAILABLE COPY.**

**As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.**